

DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

013534908 **Image available**
WPI Acc No: 2001-019114/ 200103
XRAM Acc No: C01-005650
XRPX Acc No: N01-014637

Field emission type display device has sensing electrode which selectively suppresses discharge of electron from emitter, provided between emitter and anode

Patent Assignee: FUTABA DENSHI KOGYO KK (FUTK)
Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000251783	A	20000914	JP 9946487	A	19990224	200103 B

Priority Applications (No Type Date): JP 9946487 A 19990224

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000251783	A	6	H01J-031/12	

Abstract (Basic): JP 2000251783 A

NOVELTY - An envelope (2) seals the peripheries of cathode and anode substrates (3,4) in high vacuum. An emitter (8) with fullerene-diamond-like carbon, is provided on a resistance layer (6) formed at the interior of cathode substrate. A screening electrode (21) selectively suppressing the discharge of electron from emitter, is provided between the emitter and an anode (9) with fluorescent layer (10).

USE - Field emission type display device.

ADVANTAGE - Since the cathode space is narrow, or sufficient, high brightness is realizable, and gradation control can also be performed.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of field emission type display device.

Envelope (2)
Cathode substrate (3)
Anode substrate (4)
Cathode (5)
Emitter (8)
Anode (9)
Fluorescent layer (10)
pp; 6 DwgNo 1/5

Title Terms: FIELD; EMIT; TYPE; DISPLAY; DEVICE; SENSE; ELECTRODE; SELECT; SUPPRESS; DISCHARGE; ELECTRON; EMITTER; EMITTER; ANODE

Derwent Class: L03; P85; V05

International Patent Class (Main): H01J-031/12

International Patent Class (Additional): G09G-003/28; H01J-029/46

File Segment: CPI; EPI; EngPI

Manual Codes (CPI/A-N): L03-C02

Manual Codes (EPI/S-X): V05-D01C5; V05-D08; V05-M03A

BEST AVAILABLE COPIE

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-251783

(P2000-251783A)

(43)公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl.
H 01 J 31/12
29/46
// G 09 G 3/28

識別記号

F I
H 01 J 31/12
29/46
G 09 G 3/28

テマコード(参考)
C 5 C 0 3 6
B 5 C 0 8 0
N

審査請求 未請求 請求項の数7 O.L (全6頁)

(21)出願番号 特願平11-46487

(22)出願日 平成11年2月24日 (1999.2.24)

(71)出願人 000201814
双葉電子工業株式会社
千葉県茂原市大芝629
(72)発明者 伊藤 茂生
千葉県茂原市大芝629 双葉電子工業株式
会社内
(72)発明者 山浦 長雄
千葉県茂原市大芝629 双葉電子工業株式
会社内
(74)代理人 100067323
弁理士 西村 敏光 (外1名)

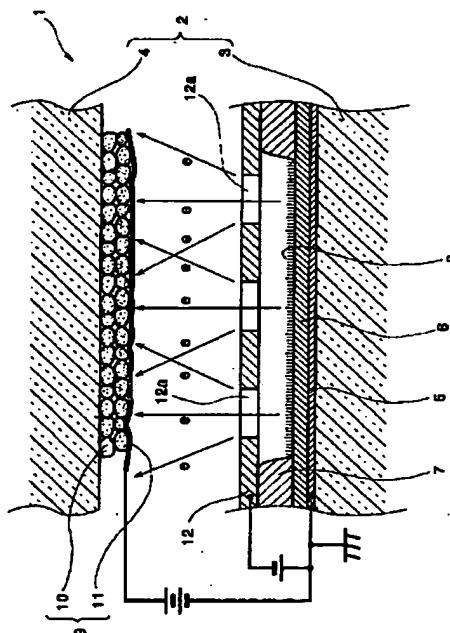
最終頁に続く

(54)【発明の名称】 電界放出形表示素子

(57)【要約】

【目的】カーボンナノチューブ等の仕事関数が小さい電界放出素材をエミッタに用いた薄型・高電圧のFEDを提供する。

【構成】電界放出形表示素子1は、対面するカソード基板3とアノード基板4の外周の間を封止して内部を高真空電界気中に保持した外囲器2を有する。カソード基板の内面には、カソード電極5と、抵抗層6と、カーボンナノチューブのエミッタ8がある。アノード基板の内面には蛍光体層10とメタルバック層11からなるアノード9がある。アノードとカソードの間には、アノードの電界によるエミッタからの電子の放出を選択的に抑制するシールド電極12がある。カソード電極とシールド電極はマトリクスを構成する。カソード電極に対してアノード9に常時正電位を印加し、所望のカソード電極の電位を0にし、所望のシールド電極の電位を正にする。所望のカソード電極とシールド電極で選択された位置にあるエミッタ8から電界電子が放出される。



【特許請求の範囲】

【請求項1】 対面するカソード基板とアノード基板の外周の間を封止して内部を高真空状態に保持した外囲器と、前記カソード基板の内面に形成されたカソード電極と、前記カソード電極に導通して設けられた電界放出素材からなるエミッタと、蛍光体層を形成したアノードと、前記エミッタと前記アノードの間に設けられ、前記エミッタからの電子の放出を選択的に抑制するシールド電極とを備えた電界放出形表示素子。

【請求項2】 前記電界放出素材が、カーボンナノチューブ、フラーレンダイヤモンドライクカーボンを含むカーボンからなる群から選択された物質である請求項1記載の電界放出形表示素子。

【請求項3】 前記アノードは、前記アノード基板の内面に形成された蛍光体層と前記蛍光体層の表面に形成されたメタルバック層からなる請求項2記載の電界放出形表示素子。

【請求項4】 前記カソード電極と前記シールド電極は互いに交差する方向に沿って形成されたストライプ状であり、

前記カソード電極に対して前記アノードに常時正電位を印加し、所望の前記カソード電極の電位とアノード電極の電位差を電界放出に十分な電位差にするとともに、所望の前記シールド電極の電位を正にすることにより、所望の前記カソード電極と前記シールド電極で選択された位置にある前記エミッタから電子を放出させることを特徴とする請求項3記載の電界放出形表示素子。

【請求項5】 前記カソード電極は電気的に一体化されており、前記シールド電極は、ストライプ状に形成された第1シールド電極と、前記第1シールド電極と前記アノードの間に前記第1シールド電極と交差する方向に沿って前記第1シールド電極と絶縁してストライプ状に形成された第2シールド電極とから構成されており、前記カソード電極に対して前記アノードに常時正電位を印加し、所望の前記第2シールド電極の電位をカソード電極電位より高くするとともに、所望の前記第1シールド電極の電位を正にすることにより、所望の第1シールド電極と第2シールド電極で選択された位置にある前記エミッタから電子を放出させることを特徴とする請求項3記載の電界放出形表示素子。

【請求項6】 前記エミッタとエミッタ電極との間に電気的に接合された抵抗層をもつことを特徴とする請求項1又は2又は3又は4又は5又は6記載の電界放出形表示素子。

【請求項7】 前記抵抗層が、酸化ルテニウム又はa-Siを含む材料であることを特徴とする請求項6記載の電界放出形表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電界放出素子(Fie

ld Emission Cathode)から放出された電子を蛍光体に射突させて表示を行う電界放出形表示素子に係り、特に電界放出素子のエミッタにカーボンナノチューブ等のような仕事関数が小さい材料を用いたものである。

【0002】

【従来の技術】 FED(Field Emission Display)は、内部が高真空状態とされた薄型パネル状の外囲器を有している。この外囲器は、微小な間隔をおいて一対の基板を対面させ、両基板の各外周の間にスペーサ部材を設けて封着した構造となっている。この外囲器において、対向している一対の基板の一方の内面には、陽極導体と、該陽極導体の表面に設けられた蛍光体層からなる陽極が設けられている。また、これに対向する他方の基板の内面には、電界放出形陰極が設けられている。電界放出形陰極は、他方の基板の内面に設けられた陰極導体と、陰極導体に設けられたエミッタと、エミッタの先端に近接して設けられたゲート電極とを有している。

【0003】 前記FEDのエミッタとしてはMo等を蒸着等の手法でコーン形状に形成したものが知られているが、その他の構造としてはカーボンナノチューブを用いたものが特開平9-221309号にて公開されている。図5に示すように、この装置は、炭素質基板100の上にカーボンナノチューブ層101を形成し、その上方に電子線引き出し電極102を設けたものである。カーボンナノチューブ層101と電子線引き出し電極102の間に適当な電位を与えれば、カーボンナノチューブ層101から電子が電界放出される。

【0004】

【発明が解決しようとする課題】 前記FEDにおいては、薄型化するために外囲器を構成する2枚の基板の間隔をより小さくする場合があり、近年では例えば1mm以下のものもある。また、表示部における蛍光体層の発光輝度を高めるために、陽極に例えば数kV以上の高電圧を印加することがある。なお、このような高電圧を陽極に印加する場合には、陽極は基板内面に形成した蛍光体層の表面をメタルバック層で覆う構造になっている場合がある。

【0005】 このように、FEDが薄型化して陽極とエミッタの距離が近くなり、またFEDの陽極電圧がある程度以上高くなると、陽極によってエミッタ付近に生成される電界が大きくなる。ここで、そのエミッタに前述したようなカーボンナノチューブを用いようとすると、カーボンナノチューブの先端の電界集中が大きいことと仕事関数が小さいために陽極の電界によって全てのエミッタから電界電子が容易に放出されるようになってしまい、陰極側の選択性(即ちエミッタのいずれの部分から電界電子を放出させるか)が得にくくなってしまう。また、階調制御も困難になってしまう。

【0006】 本発明は、カーボンナノチューブ等の仕事関数が小さい電界放出素材をエミッタに用いた薄型・高

BEST AVAILABLE COPY

(3) 000-251783 (P2000-25JL8)

電圧のFEDを提供することを目的としている。

【0007】

【課題を解決するための手段】請求項1に記載された電界放出形表示素子(1, 21)は、対面するカソード基板(3, 22)とアノード基板(4)の外周の間を封止して内部を高真空雰囲気に保持した外囲器(2)と、前記カソード基板の内面に形成されたカソード電極(5, 23)と、前記カソード電極に導通して設けられた電界放出素材からなるエミッタ(8, 29)と、蛍光体層(10)を形成したアノード(9)と、前記エミッタと前記アノードの間に設けられ、前記エミッタからの電子の放出を選択的に抑制するシールド電極(12, 26, 28)とを備えている。

【0008】請求項2に記載された電界放出形表示素子は、請求項1記載の電界放出形表示素子(1, 21)において、前記電界放出素材が、カーボンナノチューブ、フーラーレンダイヤモンドライクカーボンを含むカーボンからなる群から選択された物質であることを特徴としている。

【0009】請求項3に記載された電界放出形表示素子は、請求項2記載の電界放出形表示素子において、前記アノード(9)が、前記アノード基板(4)の内面に形成された蛍光体層(10)と前記蛍光体層の表面に形成されたメタルバック層(11)からなることを特徴としている。

【0010】請求項4に記載された電界放出形表示素子は、請求項3記載の電界放出形表示素子において、前記カソード電極(5)と前記シールド電極(12)が互いに交差する方向に沿って形成されたストライプ状であり、前記カソード電極に対して前記アノード(9)に常時正電位を印加し、所望の前記カソード電極の電位とアノード電極の電位差を電界放出に十分な電位差にするとともに、所望の前記シールド電極の電位を正にすることにより、所望の前記カソード電極と前記シールド電極で選択された位置にある前記エミッタ(8)から電子を放出させることを特徴としている。

【0011】請求項5に記載された電界放出形表示素子は、請求項3記載の電界放出形表示素子は、前記カソード電極(23)が電気的に一体化されており、前記シールド電極(26, 28)は、ストライプ状に形成された第1シールド電極(26)と、前記第1シールド電極と前記アノード(9)の間に前記第1シールド電極と交差する方向に沿って前記第1シールド電極と絶縁してストライプ状に形成された第2シールド電極(28)とから構成されており、前記カソード電極に対して前記アノードに常時正電位を印加し、所望の前記第2シールド電極の電位をカソード電極電位より高くするとともに、所望の前記第1シールド電極の電位を正にすることにより、所望の第1シールド電極と第2シールド電極で選択された位置にある前記エミッタ(29)から電子を放出させ

ることを特徴としている。

【0012】請求項6に記載された電界放出形表示素子は、請求項1又は2又は3又は4又は5又は6記載の電界放出形表示素子において、前記エミッタとエミッタ電極との間に電気的に接合された抵抗層をもつことを特徴としている。

【0013】請求項7に記載された電界放出形表示素子は、請求項6記載の電界放出形表示素子において、前記抵抗層が、酸化ルテニウム又はa-Siを含む材料であることを特徴としている。

【0014】

【発明の実施の形態】図1と図2を参照して第1の例の電界放出形表示素子1を説明する。本例の電界放出形表示素子1は、薄型パネル状の外囲器の内部に、電界放出素子からなる電子源(陰極)と、蛍光体を備えた発光部(陽極)とを備えた表示素子である。

【0015】外囲器2は、カソード基板3とアノード基板4を所定間隔をおいて対面させ、両基板3, 4の外周の間を封止して内部を高真空雰囲気に排気したものである。

【0016】カソード基板3の内面には、カソード電極5が形成されている。カソード電極5は、複数本の帯状の導体からなるストライプ状である。このカソード電極5の上には、所定の厚さで抵抗層6が被着・形成されている。抵抗層6の材質としては、酸化ルテニウム混合薄膜又はa-Si薄膜等が利用可能である。抵抗層6の上には、絶縁層7が形成されている。絶縁層7は低軟化点ガラス等からなり、印刷法によって形成できる。絶縁層7は帯状であり、カソード電極5の長手方向について所定の間隔をおき、カソード電極5と直交する方向に沿って形成されている。

【0017】帯状の絶縁層7の間にあるカソード電極5の抵抗層6の上には、電界放出素材からなるエミッタ8が設けられており、カソード電極5に導通している。前記電界放出素材としては、カーボンナノチューブ、フーラーレンダイヤモンドライクカーボン(DLC)の薄膜等のように、仕事関数が小さくて電子を比較的容易に放出できる素材(材料)が使用される。これらの材料によれば、例えば0.5~1.5V/ μ m程度の電界強度で電界電子が放出される。0.5V/ μ mの条件は、カソード基板3とアノード基板4の間隔を1mmとし、アノードに500Vの電圧を印加すれば得られる。従来知られているスピント型のFEDのエミッタのように、例えばMo等からなる金属を円錐形状(コーン形状)に被着・堆積させて形成したエミッタの場合には、電界電子を放出させるには例えば100~200V/ μ m程度の電界強度が必要である。本例におけるエミッタ8は、これよりも2桁以上小さい数値の電界強度で電子を放出する。

【0018】アノード基板4の内面にはアノード9が形成されている。アノード9は、アノード基板4の内面に

形成された蛍光体層10と、蛍光体層10の表面に形成されたメタルバック層11からなる。本例のメタルバック層11はアルミニウムからなる。このアノード9には、前記エミッタ8から電子を電界放出させるような電界を生成するだけのアノード電圧が印加される。前述したように、アノードーカソード間の間隔が1mm程度の場合には、例えば500V程度の陽極電圧を印加し、これによる電界がエミッタ8に直接影響すれば、エミッタ8からは常時電子が放出される状態となる。

【0019】前記絶縁層7の上にはシールド電極12が設けられている。このシールド電極12はアノード9による電界をエミッタ8に対して選択的にシールドするものであり、アノード9の電界によって常時放出可能な状態にあるエミッタ8からの実際の電子放出を抑制・制御するための電極である。シールド電極12は、多数の開口部12aが形成された複数本の帯状の金属板からなる。このシールド電極12は、エミッタ8とアノード9の間にあり、前記カソード電極5の長手方向について間隔をおき、前記カソード電極5と交差する方向に沿って配置されている。即ち、カソード電極5とシールド電極12はそれぞれストライプ状であり、互いに交差するように配置されてマトリクスを構成している。

【0020】図2に示すように、カソード電極5の電位V_cに対し、アノード9には正電位V_aが常時印加されている。駆動時には、カソード電極5とシールド電極12の一方を走査し、他方に表示信号を与える。具体的には、所望のカソード電極5の電位V_cを0にするとともに、これに合わせて所望の前記シールド電極12の電位V_gを正にする。これにより、前記カソード電極5と前記シールド電極12のマトリクスで選択された位置にある前記エミッタ8から電子が放出する。これは、選択された前記カソード電極5と前記シールド電極12のマトリクスの交点にあるエミッタ8には、アノード9の電界が遮蔽されることなく作用し、エミッタ8のこの部分から電子の放出が行われるからである。

【0021】エミッタ8から放出された電子はアノード9に射突し、蛍光体層10を発光させる。蛍光体の発光は、アノード基板4を介してアノード基板4の外側から観察される。

【0022】図3と図4を参照し、第2の例の電界放出形表示素子21について、第1の例と異なる点を中心に説明する。その他の構造は第1の例と基本的には同一である。図3に示すように、カソード基板22の内面にはカソード電極23が設けられている。本例のカソード電極23は、井桁状、格子状又はメッシュ状のパターンに形成されており、電気的に一体である。このカソード電極23を覆ってカソード基板22の上面には抵抗層24がストライプ状に形成されている。このストライプ状の抵抗層24の上には、第1絶縁層25が形成され、この第1絶縁層25の上にはストライプ状の第1シールド電

極26が前記抵抗層24に交差する向きで配設・形成されている。さらに、第1シールド電極26の上には第2絶縁層27が形成され、この第2絶縁層27の上にはストライプ状の第2シールド電極28が前記第1シールド電極26に交差する向きで配設・形成されている。このように、第1及び第2シールド電極26, 28はマトリクスを構成しており、両シールド電極26, 28で囲まれた抵抗層24の上には、電界放出素材からなるエミッタ29が設けられており、カソード電極23に導通している。エミッタ28を構成する電界放出素材は第1の例と同じものである。

【0023】図4に示すように、カソード電極23の電位に対し、アノードには正電位V_aが常時印加されている。駆動時には、第1又は第2シールド電極26, 28の一方を走査し、他方に表示信号を与える。例えば、所望の第1シールド電極26の電位V_{g1}を正電位h₂にするとともに、これに合わせて所望の第2シールド電極28の電位V_{g2}を正電位h₁にする。これにより、選択された第1及び第2シールド電極26, 28の交点の近傍にあるエミッタ8から電子が放出する。これは、選択された前記第1シールド電極26と前記第2シールド電極28のマトリクスの交点付近にあるエミッタ8には、アノードの電界が遮蔽されることなく作用し、当該部分のエミッタ8から電子の電界放出が行われるからである。第1及び第2シールド電極26, 28の走査及び選択を、隣接する2本ずつを1組として行ってもよい。その場合には、隣接する2本の第1シールド電極26, 26と、隣接する2本の第2シールド電極28, 28とで囲まれた四角形の部分にあるエミッタ8が選択される。

【0024】以上2つの実施の形態において、電子が放出されるエミッタの選択、即ちアノード電界のシールドをどの位置で解除してエミッタに電界放出を起こさせるかの選択は、シールド電極を含む電極類のマトリクス構造とその制御によって行っていた。その場合には、選択のためのパルス信号のパルス幅を調整することにより、発光するアノードの階調を制御することができる。

【0025】

【発明の効果】本発明によれば、アノードとカソードの距離が小さく、かつアノード電圧が大きいFEDの場合に、カーボンナノチューブ等のように電子を電界放出しやすい電界放出素材でアノードを構成し、さらにアノードとカソードの間にはシールド電極を設けて所望の位置のエミッタのみに電界放出を行わせて表示を行わせるようにした。これによって、高電圧FEDにおいて、アノード電圧が高く、アノードーカソード間隔が狭い場合であっても、十分に高い輝度が実現でき、また階調制御も行うことができる。

【図面の簡単な説明】

【図1】第1の実施の形態の断面図である。

【図2】第1の実施の形態の駆動タイミング図である。

【図3】第2の実施の形態の断面図である。

【図4】第2の実施の形態の駆動タイミング図である。

【図5】カーボンナノチューブをエミッタに用いた従来のFEDの一例の断面図である。

【符号の説明】

1, 21 電界放出形表示素子

2 外囲器

3, 22 カソード基板

4 アノード基板

5, 23 カソード電極

8, 29 エミッタ

9 アノード

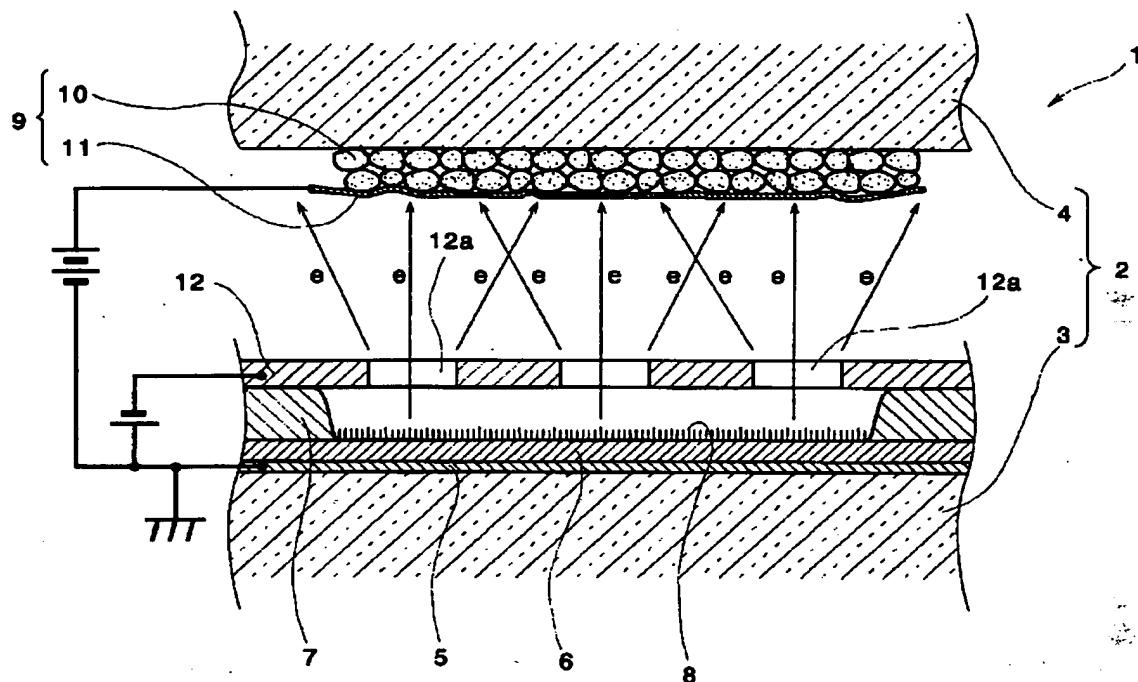
10 融光体層

12 シールド電極

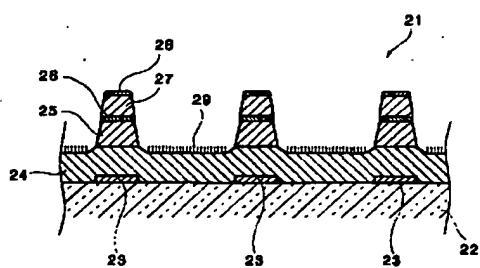
26 第1シールド電極

28 第2シールド電極

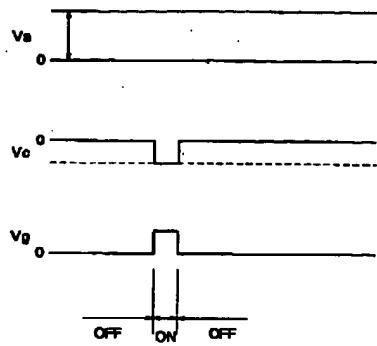
【図1】



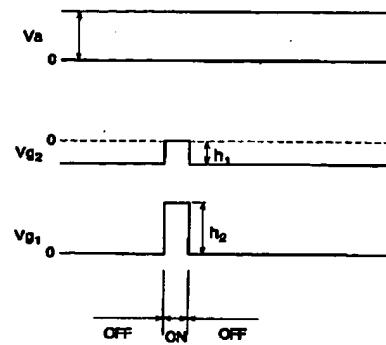
【図3】



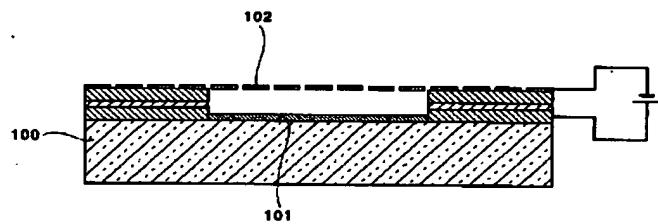
【図2】



【図4】



【図5】



フロントページの続き

F ターム(参考) 5C036 EE01 EE03 EE16 EF01 EF06
EF09 EG12 EG15 EG48 EH06
EH08
5C080 AA08 BB05 CC03 DD10 DD26
FF10 HH17 JJ06 KK02 KK43